

DERWENT-ACC-NO: 1998-233157

DERWENT-WEEK: 199821

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Active level setting circuit for
lateral double diffusion power MOS transistor - has
diode and modified LDMOS transistor with source region
removed and migration region length reduced

INVENTOR: SICARD, T M

PATENT-ASSIGNEE: MOTOROLA SEMICONDUCTEURS SA[MOTI]

PRIORITY-DATA: 1996FR-0012073 (October 3, 1996)

PATENT-FAMILY:

PUB-NO	PAGES	PUB-DATE	MAIN-IPC
FR 2754406 A1		April 10, 1998	
019	H03K 019/0944		N/A

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
FR 2754406A1	N/A	
1996FR-0012073	October 3, 1996	

INT-CL (IPC): H01L021/8234, H03K005/003 , H03K019/0944

ABSTRACTED-PUB-NO: FR 2754406A

BASIC-ABSTRACT:

The active level setting circuit drives a double diffusion power MOS circuit (204) and is made up of a modified LDMOS transistor (202) and a diode detector

(208).

The modified diode has no source region, and has a reduced length migration region. The drain and grid regions and base surround are retained. The level circuit is series coupled between the drain and grid of the LDMOS power transistor.

ADVANTAGE - Circuit is correlated with LDMOS transistor as circuit is LDMOS element with small modifications.

CHOSEN-DRAWING: Dwg.3/11

DERWENT-CLASS: U12 U13 U21

EPI-CODES: U12-D02A9; U12-Q; U13-D03A; U21-C01B3;

12

DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 03.10.96.

30 Priorité :

43 Date de la mise à disposition du public de la demande : 10.04.98 Bulletin 98/15.

56 Liste des documents cités dans le rapport de recherche préliminaire : Se reporter à la fin du présent fascicule.

60 Références à d'autres documents nationaux apparentés :

71 Demandeur(s) : MOTOROLA SEMICONDUCTEURS
SA SOCIÉTÉ ANONYME — FR.

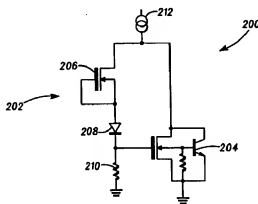
72 Inventeur(s) : SICARD THIERRY MICHEL.

73 Titulaire(s) :

74 Mandataire : CABINET BEAU DE LOMENIE.

54 CIRCUIT ACTIF DE FIXATION DE NIVEAU POUR TRANSISTOR METAL-OXYDE-SEMICONDUCTEUR A DOUBLE DIFFUSION DE TYPE LATERAL, MONTAGE L'INCORPORANT ET PROCEDE DE FORMATION DE CE MONTAGE.

57 L'invention concerne un circuit actif de fixation de niveau (202) servant à fixer le niveau d'une tension aux bornes d'un transistor LDMOS (204), qui comprend un élément transistor LDMOS possédant des régions de source, de drain, de grille et de corps, ce circuit de fixation de niveau comprenant un élément de fixation de niveau (206) et une diode (208) assurant le couplage, en série, entre les régions de drain et de grille de l'élément transistor LDMOS. La région de grille de l'élément transistor LDMOS est séparée de la région de drain par une région de migration, d'une première longueur. L'élément de fixation de niveau comprend un élément transistor LDMOS modifié ayant des régions de drain, de grille, de migration et de corps qui correspondent respectivement aux régions analogues de l'élément transistor LDMOS, mais aucune région de source. la région de migration de l'élément de fixation de niveau possède une deuxième longueur inférieure à la première longueur. La région de drain de l'élément transistor LDMOS modifié (50, 500) forme une première borne de l'élément de fixation de niveau (206) assurant le couplage à la région de drain de l'élément transistor LDMOS, et la région de corps forme une deuxième borne de l'élément de fixation de niveau assurant le couplage à la diode (208).



La présente invention concerne un circuit actif de fixation de niveau destiné à un transistor métal-oxyde-semiconducteur (MOS) de puissance et, plus particulièrement, à un transistor MOS à double diffusion de type latéral (LDMOS).

- Pour empêcher que la tension drain-source d'un transistor LDMOS ne
5 dépasse la tension de claquage BVDSS du transistor, un moyen connu consiste à utiliser des éléments externes de fixation de niveau, par exemple une chaîne de diodes Zener couplée entre les électrodes de grille et de drain du transistor LDMOS. La chaîne Zener externe fixe le niveau de la tension de drain du transistor LDMOS sur sensiblement la tension de claquage de la chaîne Zener. Puisque la
10 chaîne Zener est formée extérieurement à l'aide d'un processus différent de celui qui est associé au transistor LDMOS, la tension de claquage de la chaîne Zener ne présente aucune corrélation avec la tension de drain maximale relative au processus LDMOS et est également sans corrélation vis-à-vis de la température. Ceci signifie que le fabricant doit prévoir une marge entre la tension de claquage
15 maximale de la chaîne Zener et la tension de claquage minimale BVDSS du transistor LDMOS lors du choix du processus de formation du transistor LDMOS. Du fait de cette marge, il faut, pour former le transistor LDMOS, faire appel à un processus amenant une tension BVDSS supérieure à ce qu'elle serait si le transistor LDMOS et la chaîne Zener étaient corrélés. Ceci conduit à la réalisation d'un
20 dispositif qui possède un produit "RDSon · Aire" plus élevé, où RDSon est la résistance drain-source pour l'état conducteur et Aire désigne l'aire du transistor LDMOS. Par exemple, avec la chaîne Zener de type connu, il faut faire typiquement appel à un processus à 70 V pour fixer le niveau dans le transistor LDMOS à 55 V, ce qui donne une marge de 15 V. Toutefois, un processus à 60 V donnerait un meilleur produit "RDSon · Aire" que le processus à 70 V. En d'autres termes,
25 un processus à 60 V donnerait un transistor LDMOS possédant, pour une même résistance RDSon, une aire réduite.

- Il a été mis au point une technique permettant de fixer le niveau dans des transistors de puissance bipolaires, où le circuit de fixation de niveau est en
30 corrélation avec le transistor de puissance bipolaire. Cette technique fait appel à un transistor de fixation de niveau qui fonctionne en Vce0 (tension de claquage entre le collecteur et l'émetteur lorsque la base est en circuit ouvert) pour fixer le niveau de tension du collecteur du transistor bipolaire de puissance. La base du transistor de fixation de niveau est plus profonde que la base du transistor de puissance, afin
35 d'ajuster la valeur de la tension Vce0. Puisque la base du transistor de fixation de niveau et la base du transistor de puissance sont diffusées dans la même couche

épitaxiale, la valeur de fixation de niveau du transistor de fixation de niveau est corrélée avec la tension V_{ce0} du transistor de puissance.

Le besoin existe donc d'un circuit de fixation de niveau pour transistor LDMOS, qui soit corrélé avec le transistor LDMOS.

- 5 Selon un premier aspect de l'invention, il est proposé un circuit actif de fixation de niveau servant à fixer le niveau d'une tension aux bornes d'un transistor LDMOS, le transistor LDMOS comprenant un élément transistor LDMOS possédant des régions de source, de drain, de grille et de corps qui sont formées dans une région semiconductrice, la région de grille étant séparée de la région de drain par une région de migration présentant une première longueur, le circuit actif de fixation de niveau comprenant :

- 15 un élément de fixation de niveau et une diode destinés à être comptés en série entre la région de drain et la région de grille de l'élément transistor LDMOS, l'élément de fixation de niveau comprenant un élément transistor LDMOS modifié qui comprend des régions de drain, de grille, de migration et de corps et pas de région de source, la région de migration de l'élément de fixation de niveau présentant une deuxième longueur, la deuxième longueur étant inférieure à la première longueur, où la région de drain de l'élément transistor LDMOS modifié forme une première borne de l'élément de fixation de niveau permettant son couplage à la région de drain de l'élément transistor LDMOS et la région de corps forme une deuxième borne de l'élément de fixation de niveau permettant son couplage à la diode.

- 20 Un avantage de l'invention est qu'elle fournit un circuit actif de fixation de niveau pour transistor LDMOS, qui est corrélé avec le transistor LDMOS, puisqu'il utilise un élément LDMOS légèrement modifié, formé par le même processus, en tant qu'une partie du circuit de fixation de niveau lui-même.

- 25 Selon un deuxième aspect de l'invention, il est produit un montage à transistor LDMOS possédant un transistor LDMOS qui comprend un élément transistor LDMOS possédant des régions de source, de drain, de grille et de corps formées dans une région semiconductrice, la région de grille étant séparée de la région de drain par une région de migration qui présente une première longueur, et un circuit actif de fixation de niveau servant à fixer le niveau d'une tension aux bornes du transistor LDMOS, le circuit actif de fixation de niveau comprenant :

- 30 un élément de fixation de niveau et une diode qui sont couplés en série entre la région de drain et la région de grille de l'élément transistor LDMOS, l'élément de fixation de niveau comprenant un élément transistor LDMOS modifié

qui comprend des régions de drain, de grille, de migration et de corps formées dans la région semiconductrice et aucune région de source, la région de migration de l'élément de fixation de niveau ayant une deuxième longueur, la deuxième longueur étant inférieure à la première longueur, où la région de drain de l'élément transistor LDMOS modifié forme une première borne de l'élément de fixation de niveau permettant son couplage à la région de drain de l'élément transistor LDMOS et la région de corps forme une deuxième borne de l'élément de fixation de niveau permettant son couplage à la diode.

10 Dans un montage préféré, le transistor LDMOS comprend une pluralité d'éléments transistor LDMOS disposés suivant une matrice, et l'élément de fixation de niveau comprend au moins un élément transistor LDMOS modifié qui est placé à l'intérieur de la matrice.

Il est également décrit un procédé permettant de former un montage à transistor LDMOS possédant un transistor LDMOS comprenant un élément transistor LDMOS et un circuit actif de fixation de niveau servant à fixer une tension aux bornes du transistor LDMOS.

La description suivante de deux circuits actifs de fixation de niveau, d'un montage à transistor, LDMOS et d'un procédé de formation d'un tel montage, conçue à titre d'illustration de l'invention, vise à donner une meilleure compréhension de ses caractéristiques et avantages ; elle s'appuie sur les dessins annexés, parmi lesquels :

- la figure 1 est un schéma de circuit simplifié d'un montage à transistor LDMOS connu ;
- 25 - la figure 2 est une représentation graphique montrant une distribution typique des courbes de tension de claquage du circuit de fixation de niveau à diodes Zener et du transistor LDMOS de la figure 1 ;
- la figure 3 est un schéma de circuit simplifié d'un montage à transistor LDMOS selon l'invention ;
- la figure 4 est une représentation simplifiée en section droite montrant un élément transistor LDMOS ;
- 30 - la figure 5 est une représentation schématique en section droite montrant un élément de fixation de niveau selon un premier mode de réalisation de l'invention ;
- les figures 6 à 8 sont des vues en section droite de parties d'un
- 35 élément transistor LDMOS de la figure 4 à différents stades de sa fabrication ;

- la figure 9 est une représentation schématique en section droite montrant un élément de fixation de niveau selon un deuxième mode de réalisation de l'invention ;

- la figure 10 est un schéma de circuit montrant un élément de fixation de niveau selon l'invention ; et

- la figure 11 est un schéma simplifié montrant un montage à transistor LDMOS selon un autre mode de réalisation de l'invention.

On se reporte d'abord à la figure 1. Un montage LDMOS à niveau fixé 2 de type connu comprend un transistor LDMOS 4 et un circuit de fixation de niveau 6 du type à diodes Zener formé par une chaîne de diodes Zener 7 et une diode 8 couplée, en série avec la chaîne de diodes Zener 7, entre l'électrode de drain du transistor LDMOS 4 et l'électrode de grille du transistor LDMOS 4, afin d'empêcher le courant de circuler dans la mauvaise direction. Une résistance 10 est couplée entre l'électrode de grille du transistor LDMOS 4 et la terre. L'électrode de source du transistor LDMOS 4 est également couplée à la terre. Une source de courant 12 fournit du courant à la chaîne Zener jusqu'à ce que la tension présente sur l'électrode de grille du transistor LDMOS 4 suffise à faire passer dans l'état conducteur le transistor 4, de sorte que le courant circule dans le transistor LDMOS 4. La tension présente sur l'électrode de grille et, par conséquent, la tension drain-source VDS du transistor LDMOS 4 augmente jusqu'à ce que la tension de claquage, ou niveau de fixation, Vclamp du circuit 6 de fixation de niveau Zener ait été atteinte. Le circuit 6 de fixation de niveau Zener et son niveau de fixation Vclamp sont choisis de façon que :

$$V_{clamp} = 3 \cdot V_z + V_d + V_{GSon} < BVDSS$$

où Vclamp est le niveau sur lequel la tension drain-source est fixée

Vd est la tension aux bornes de la diode 8

VGSon est la tension grille-source

Vz est la tension de claquage aux bornes de l'une des diodes Zener 7.

La figure 2 est un graphe montrant le courant en fonction de la tension, et elle représente des courbes de distribution 13, 11 se rapportant respectivement aux variations, liées au traitement et à la température, de la tension de claquage BVDSS du transistor LDMOS 4 et de la tension de claquage, ou niveau de fixation, Vclamp du circuit 6 de fixation de niveau Zener. Puisque les processus de formation du circuit 6 de fixation de niveau Zener et du transistor LDMOS ne sont

pas corrélés, il faut, pour s'assurer que le niveau maximal de fixation de niveau Vclamp du circuit de fixation de niveau Zener 6 sera inférieur à la valeur minimale de BVDSS, prévoir une marge ΔV dans la conception du circuit. Comme discuté ci-dessus, ceci signifie qu'il faudra utiliser, pour former le transistor LDMOS 4, un processus qui présente un rendement inefficent.

On se reporte maintenant à la figure 3. Un montage à transistor LDMOS 200 selon l'invention comprend un transistor LDMOS 204 et un circuit actif de fixation de niveau 202, lequel comprend un élément de fixation de niveau 206 et une diode 208, servant à fixer le niveau de tension aux bornes d'un transistor LDMOS. La diode 208 est couplée en série avec l'élément de fixation de niveau 206 entre l'électrode de drain du transistor LDMOS 204 et l'électrode de grille du transistor LDMOS 204 afin d'empêcher que le courant ne circule dans la mauvaise direction. Une résistance 210 est couplée entre l'électrode de grille du transistor LDMOS 204 et une première tension de référence, de préférence le potentiel de la terre. L'électrode de source du transistor LDMOS 204 est également couplée à la terre. Une source de courant 212 fournit du courant au circuit actif de fixation de niveau 202 jusqu'à ce que la tension présente sur l'électrode de grille du transistor LDMOS 204 soit suffisante pour rendre conducteur ce transistor, après quoi le courant circule dans le transistor LDMOS 204.

Le transistor LDMOS 204 comprend un élément transistor LDMOS 20, comme schématiquement représenté sur la figure 4. L'élément transistor LDMOS 20 est formé dans une région semiconductrice ou une région épitaxiale 21 ayant une région de source 22, une région de grille 24 et une région de drain 26. Le canal est formé dans la région de corps 28. La région se trouvant entre la région de grille 24 et la région de drain 26 est connue sous l'appellation de région de migration 30, laquelle région de migration 30 présente une première longueur 32. La tension de claquage BVDSS d'un tel élément transistor LDMOS 20 est une fonction de la distance entre la région de grille 24 et la région de drain 26. En d'autres termes, la tension de claquage BVDSS d'un tel élément transistor LDMOS 20 dépend de la première longueur 32 de la région de migration 30. Un transistor bipolaire parasite est formé par la région épitaxiale 21, la région de corps 28 et la région de source 22, et ce transistor parasite est représenté sur la figure 3.

L'invention fournit un circuit actif de fixation de niveau de type corrélié, pour un transistor LDMOS, au moyen d'un élément LDMOS légèrement modifié faisant partie du circuit de fixation de niveau lui-même et en raison du fait

que la tension de claquage BVDSS est une fonction de la longueur de la région de migration.

On se reporte maintenant à la figure 5. L'élément de fixation de niveau 206 selon un premier mode de réalisation de l'invention comprend un élément transistor LDMOS modifié 50 qui est formé dans une région semiconductrice ou une région épitaxiale 51. L'élément transistor LDMOS modifié 50 comprend des régions de drain 52, de grille 54, de migration 56 et de corps 58, mais pas de région de source. La région de migration 56 présente une deuxième longueur 62. Une métallisation connecte entre elles la région de grille 54 et la région de corps 58 via une région conductrice 60, ce qui signifie que la grille de l'élément transistor LDMOS modifié 50 est toujours connectée à la région de corps 58 et que $V_{gb} = 0$, où V_{gb} est la tension entre la région de grille et la région de corps.

Ainsi, en retirant la région de source de l'élément transistor LDMOS modifié 50, on fait en sorte que le transistor bipolaire parasite sera toujours "non conducteur" et que l'élément transistor LDMOS modifié 50 fonctionnera effectivement comme diode Zener : le claquage se produira entre la région de corps 58 et la région épitaxiale 51, est il dépend de la deuxième longueur 62 de la région de migration 56. En d'autres termes, la tension de claquage, ou niveau de fixation, de l'élément 50 de fixation de niveau dépend de la deuxième longueur 62 de la région de migration 56. La deuxième longueur 62 est donc choisie inférieure à la première longueur 32.

On va maintenant décrire, en relation avec les figures 4, 6 à 10, un procédé permettant de former un élément transistor LDMOS à canal N 20.

On fait croître une région épitaxiale 21 de type de conductivité N sur un substrat 82 de type de conductivité P. On peut déposer sur la région épitaxiale N 21, comme représenté sur la figure 6, des couches d'oxyde épaisses et minces. On dépose ensuite du silicium polycristallin sur la couche d'oxyde mince 84, puis on lui applique un tracé de motif et on grave afin de former des régions de grille 24 (voir la figure 7). On forme un masque sur les régions de grille 24 et la couche d'oxyde mince 84, puis on implante entre les régions de grille 24 une région de corps 28 dont la conductivité est de type P Haute Tension (PHT), par exemple des ions de bore (B^{11+}). Après que la région de corps PHT 28 a été implantée, on implante des régions conductrices 92 dont la conductivité est de type P Source Drain (PSD) dans la région de corps PHT 28 en utilisant un masque, comme cela est bien connu dans la technique (voir la figure 8). On utilise un autre masque pour implanter un matériau dont la conductivité est de type N Source Drain (NSD) dans

- la région de corps PHT 28 et dans la région épitaxiale 21. Les régions NSD 94 de la région de corps PHT 28 forment les régions de source, et la région NSD 26 de la région épitaxiale 21 forme la région de drain. Une région de migration 30 de la région épitaxiale 21 est formée entre la région de grille 24 et la région de drain
- 5 NSD 26 et elle présente une première longueur 32. On dépose ensuite une métallisation (non représentée) pour former des contacts aux régions de source 94 et aux régions PSD 92 (la source est couplée à la région de corps PSD/PHT), aux régions de drain 26 et de grille 24 de l'élément transistor LDMOS 20.

- L'élément transistor LDMOS modifié 50 selon l'invention est formé
- 10 par le même procédé et en même temps que l'élément transistor LDMOS 20, sauf en ce qui concerne l'opération de formation des régions de source NSD 94, que l'on omet. Par conséquent, la région de drain 52, la région de corps 58, la région conductrice 60, les régions de grille 54 et la région de migration 56 de l'élément transistor LDMOS modifié 50 sont formées en même temps que la région de drain
- 15 26, la région de corps 28, la région conductrice 92, les régions de grille 24 et la région de migration 30 de l'élément transistor LDMOS 20.

- Si on le souhaite, on peut implanter des régions conductrices PSD supplémentaires 502 de l'un et l'autre côté de la région conductrice PSD 60, comme représenté sur la figure 9, qui montre un élément de fixation de niveau
- 20 comprenant un élément transistor LDMOS modifié 500 selon un deuxième mode de réalisation de l'invention. Les composants identiques à ceux présentés sur la figure 5 sont désignés par les mêmes numéros de référence. Les régions conductrices PSD supplémentaires 502 diminuent la résistivité de la région de corps 58 et diminuent donc la résistance série de l'élément de fixation de niveau
- 25 formé par l'élément transistor LDMOS modifié 500.

- Une vue symbolique de l'élément de fixation de niveau formé par des éléments transistor LDMOS modifié 50, 500 selon l'invention est présenté sur la figure 10. La diode Zener 64 est formée entre la région de drain 52 et la région de corps 58 de l'élément transistor LDMOS modifié 50, 500. La région de drain 52 est couplée à une première borne 66 de l'élément de fixation de niveau 206 et la région
- 30 de corps 58 est couplée à une deuxième borne 68 de l'élément de fixation de niveau 206.

- Comme pour le montage 2 connu ci-dessus décrit, avec le montage à transistor LDMOS 200 selon l'invention, la tension présente sur l'électrode de grille et par conséquent la tension VDS du transistor LDMOS 204 augmentent
- 35 jusqu'à ce que la tension de claquage, ou niveau de fixation, Vaclamp du circuit

actif de fixation de niveau 202 soit atteinte. L'élément de fixation de niveau 206 est conçu de façon que :

$$V_{\text{aclamp}} = V_{\text{az}} + V_{\text{Gson}} < V_{\text{BVDSS}}$$

5

où $V_{\text{az}} = V_{\text{d}} + V_{\text{cle}}$

V_{aclamp} est le niveau auquel la tension drain-source est fixée

V_{d} est la tension aux bornes de la diode 208

V_{Gson} est la tension grille-source

10 V_{cle} est la tension de claquage de l'élément de fixation de niveau.

Comme discuté ci-dessus, la tension de claquage du transistor LDMOS 204 dépend de la première longueur 32 de la région de migration 30 de l'élément transistor LDMOS 20 et la tension de claquage de l'élément de fixation de niveau 206 dépend de la deuxième longueur 62 de la région de migration 56 de l'élément transistor LDMOS modifié 50, 500. Ainsi, on choisit la deuxième longueur 62 de la région de migration 56 de l'élément transistor LDMOS modifié 50, 500 de façon qu'elle soit inférieure à la première longueur 32 de la région de migration 30 de l'élément transistor LDMOS 20, dans le but que la tension de claquage de l'élément de fixation de niveau 206 et, par conséquent, V_{clamp} soient inférieurs à la tension de claquage du transistor LDMOS.

Puisque l'on utilise le même processus et la même technologie pour former l'élément transistor LDMOS 20 et l'élément transistor LDMOS modifié 50, 500 de l'élément de fixation de niveau, le circuit actif de fixation de niveau 202 est corrélié avec le transistor LDMOS, de sorte qu'il existe une corrélation, relative au processus et à la température, entre le niveau de fixation actif V_{aclamp} et la tension de claquage du transistor LDMOS 204. Ceci signifie que la tension de claquage de l'élément de fixation de niveau 206 peut être choisie plus rapprochée de la tension de claquage du transistor LDMOS 204 si bien que l'invention donne la possibilité d'utiliser par exemple 95 % de la tension V_{BVDSS} maximale. En d'autres termes, selon l'invention, on peut utiliser un processus à 60 V pour former un LDMOS jusqu'à 57 V (0,95 x 60), tandis que, pour le circuit formé d'une chaîne Zener décrit dans l'introduction et ayant une marge de 15 V, il faut un processus à 72 V. Ceci signifie que, pour la même tension, soit 57 V, il est possible d'utiliser un processus à tension inférieure en ce qui concerne le LDMOS pour obtenir un meilleur produit " $R_{\text{DSon}} \cdot \text{Aire}$ ".

Le circuit de fixation de niveau actif 202 selon l'invention assure également que la fixation de niveau est en corrélation avec le transistor LDMOS du point de vue d'un décalage de masque. Si l'alignement entre le masque de drain NSD et le polysilicium a été décalé, par exemple, vers la droite du LDMOS, on retrouvera ce même décalage sur l'élément de fixation de niveau 206. Ainsi, la corrélation vérifiée par le circuit de fixation de niveau actif selon l'invention ne vaut pas simplement pour le dopage de la diffusion, mais aussi pour l'alignement du masque.

Par exemple, avec un transistor LDMOS comprenant un élément transistor LDMOS possédant une région de migration qui a une première longueur de $1,76\text{ }\mu\text{m}$, la tension de claquage du transistor est de 54 V. Un élément transistor LDMOS modifié selon la présente invention possédant une région de migration qui présente une deuxième longueur de $1,32\text{ }\mu\text{m}$ est associé à une tension de claquage de 45 V. Si l'on suppose que la tension de seuil relative à $V_d + V_{GSON}$ est d'environ 3 V, la tension de fixation de niveau est d'environ 48 V. Dans ce cas, la marge ΔV n'est que de 6 V, que l'on pourra comparer avec la marge ΔV de l'ordre de 15 V du montage connu à chaîne Zener. Pour une deuxième longueur valant $1,54\text{ }\mu\text{m}$, la marge ΔV n'est que de 3 V et peut donc constituer la longueur préférée, selon l'application.

Dans un transistor de puissance du type LDMOS classique, le transistor LDMOS comprend plusieurs éléments transistor LDMOS 20, ou cellules, qui sont disposés suivant une matrice. Par exemple, le brevet des Etats-Unis d'Amérique n° 5 192 989 décrit un transistor LDMOS comprenant une matrice d'éléments transistor LDMOS. Dans un montage à transistor LDMOS à niveau fixé qui possède un semblable transistor LDMOS, puisqu'on utilise le même processus pour former l'élément de fixation de niveau 206 et les éléments transistor LDMOS, l'élément de fixation de niveau 206 selon l'invention peut être formé à l'intérieur de la matrice d'éléments transistor 20 de manière à en faire partie, ou il peut être formé séparément. La figure 11 montre un exemple de cette dernière situation, où une matrice 400 d'éléments transistors LDMOS 20 possède un drain commun, qui est couplé avec un élément de fixation de niveau 402 comprenant une pluralité d'éléments transistor LDMOS modifié 50, 500. L'élément de fixation de niveau 402 est couplé à une grille commune de la matrice 400 du transistor LDMOS via une diode 404. Un avantage de l'élément de fixation de niveau qui est ainsi formé à l'intérieur de la matrice d'éléments transistor 20 est qu'on obtient une amélioration

du couplage thermique et de l'excitation de la grille par comparaison avec le montage externe.

- L'élément de fixation de niveau 402 peut comprendre un élément transistor LDMOS modifié 50, 500, pour tous les éléments transistor LDMOS 20, ou bien un élément transistor LDMOS modifié 50, 500 pour chaque élément transistor 20, ou encore un élément modifié 50, 500 pour un certain groupe d'éléments 20. Le montage particulier dépend de la densité de courant passant dans la résistance 210 qui se trouve dans le trajet de l'élément de fixation de niveau 402.

- Bien entendu, l'homme de l'art sera en mesure d'imaginer, à partir du dispositif et du procédé dont la description vient d'être donné à titre simplement illustratif et nullement limitatif, diverses variantes et modifications ne sortant pas du cadre de l'invention.

REVENDICATIONS

1. Circuit actif de fixation de niveau (202) servant à fixer le niveau d'une tension aux bornes d'un transistor LDMOS (204), le transistor LDMOS
- 5 comprenant un élément transistor LDMOS (20) possédant des régions de source (22), de drain (26), de grille (24) et de corps (28) formées dans une région semi-conductrice (21), la région de grille étant séparée de la région de drain par une région de migration (30) qui possède une première longueur (32), le circuit actif de fixation de niveau étant caractérisé en ce qu'il comprend :
- 10 un élément de fixation de niveau (206) et une diode (208) destinées à être couplées en série entre la région de drain et la région de grille de l'élément transistor LDMOS, l'élément de fixation de niveau comprenant un élément transistor LDMOS modifié (50, 500) qui comprend des régions de drain (52), de grille (54), de migration (56) et de corps (58) et pas de région de source, la région
- 15 de migration de l'élément de fixation de niveau ayant une deuxième longueur (62), la deuxième longueur (62) étant inférieure à la première longueur (32), la région de drain (52) de l'élément transistor LDMOS modifié formant une première borne (66) de l'élément de fixation de niveau afin de permettre son couplage à la région de drain (26) de l'élément transistor LDMOS (20) et la région de corps (58)
- 20 formant une deuxième borne (68) de l'élément de fixation de niveau afin d'assurer le couplage à la diode (208).
2. Circuit selon la revendication 1, caractérisé en ce qu'il comprend en outre un convertisseur de courant en tension servant destiné à être couplé entre la diode (208) et une première tension d'alimentation électrique.
- 25 3. Circuit selon la revendication 2, caractérisé en ce que le convertisseur de courant en tension comprend une résistance (210).
4. Montage à transistor LDMOS (200) possédant un transistor LDMOS (204), caractérisé en ce qu'il comprend un élément transistor LDMOS (20) possédant des régions de source (22), de drain (26), de grille (24) et de corps (28)
- 30 formées dans une région semiconductrice (21), la région de grille étant séparée de la région de drain par une région de migration (30) possédant une première longueur (32), et un circuit actif (202) de fixation de niveau servant à fixer le niveau d'une tension aux bornes du transistor LDMOS, le circuit actif de fixation de niveau comprenant :
- 35 un élément de fixation de niveau (206) et une diode (208) qui sont couplés en série entre la région de drain (26) et la région de grille (24) de l'élément

- transistor LDMOS, l'élément de fixation de niveau comprenant un élément transistor LDMOS modifié (50, 500) qui comprend des régions de drain (52), de grille (54), de migration (56) et de corps (58) formées dans la région semi-conductrice (51) et pas de région de source, la région de migration (56) de
- 5 l'élément de fixation de niveau ayant une deuxième longueur (62), la deuxième longueur (62) étant inférieure à la première longueur (32), la région de drain de l'élément transistor LDMOS modifié formant une première borne (66) de l'élément de fixation de niveau afin d'assurer le couplage à la région de drain de l'élément transistor LDMOS et la région de corps formant une deuxième borne (68) de
- 10 l'élément de fixation de niveau afin d'assurer le couplage à la diode.

5. Montage selon la revendication 4, caractérisé en ce que le transistor LDMOS comprend une pluralité des éléments transistor LDMOS disposés suivant une matrice (400), et l'élément de fixation de niveau comprend au moins un élément transistor LDMOS modifié (402) qui est disposé à l'intérieur de la matrice.

- 15 6. Procédé de formation d'un montage à transistor LDMOS, caractérisé en ce que le montage possède un transistor LDMOS (204) comprenant un élément transistor LDMOS (20) et un circuit actif (202) de fixation de niveau servant à fixer le niveau d'une tension aux bornes du transistor LDMOS, le circuit actif de fixation de niveau comprenant un élément de fixation de niveau (206) et une diode
- 20 (208) assurant le couplage en série entre le drain et la grille du transistor LDMOS, l'élément de fixation de niveau comprenant un élément transistor LDMOS modifié (50, 500), le procédé étant caractérisé en ce qu'il comprend les opérations suivantes :

- 25 former des régions de grille (24, 54) sur une région semiconductrice (21, 51) de l'élément transistor LDMOS (20) et de l'élément transistor LDMOS modifié (50, 500) ;

former des régions de corps (28, 58) dans la région semiconductrice (21, 51) de l'élément transistor LDMOS et de l'élément transistor LDMOS modifié ;

- 30 former une région conductrice (92,60) dans les régions de corps de l'élément transistor LDMOS et de l'élément transistor LDMOS modifié ; et

former des régions de drain (26, 52) de l'élément transistor LDMOS et de l'élément transistor LDMOS modifié dans la région semiconductrice et former simultanément des régions de source (22) de l'élément transistor LDMOS dans la

- 35 région de corps (28) au voisinage de la région conductrice, où la région de grille (24) et la région de drain (26) de l'élément transistor LDMOS sont séparées par une

- 5 région de migration (30) qui présente une première longueur (32), et la région de grille (54) et la région de drain (52) de l'élément transistor LDMOS modifié sont séparées par une région de migration (56) qui présente une deuxième longueur (62), la deuxième longueur (62) étant inférieure à la première longueur (32), et où
- 10 la région de drain (52) de l'élément transistor LDMOS modifié forme une première borne (66) de l'élément de fixation de niveau assurant le couplage à la région de drain (26) de l'élément transistor LDMOS et la région de corps (58) forme une deuxième borne (68) de l'élément de fixation de niveau assurant le couplage à la diode (208).
- 10 7. Procédé selon la revendication 6, caractérisé en ce qu'il comprend en outre l'opération consistant à former des régions conductrices supplémentaires (502) dans la région de corps (58) de part et d'autre de la région conductrice (60) de l'élément transistor LDMOS modifié (50, 500).

1 / 4

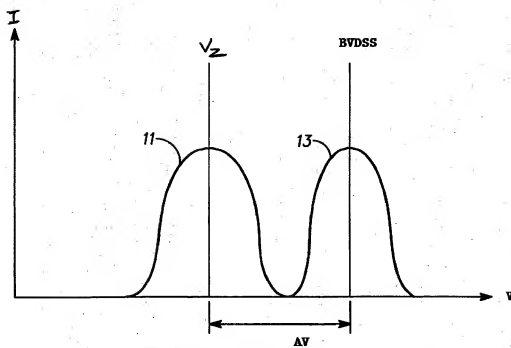
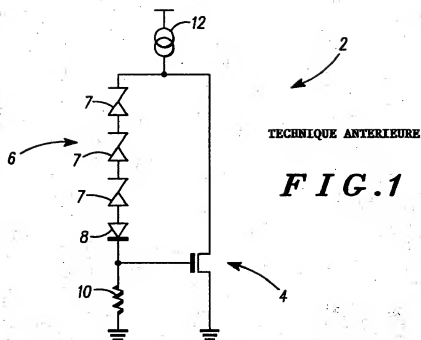
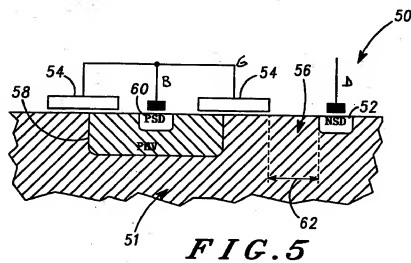
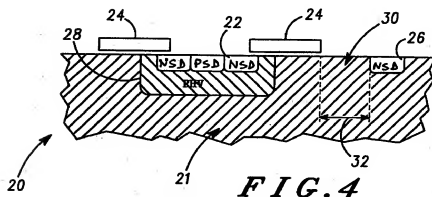
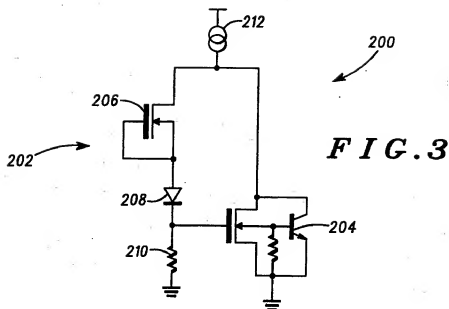
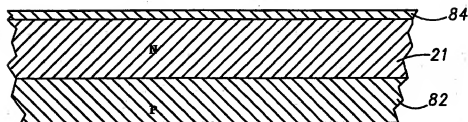
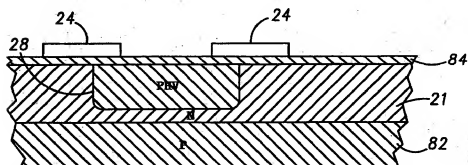
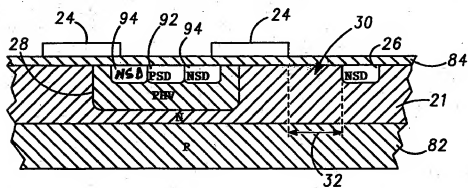


FIG. 2

2 / 4



3 / 4

**FIG. 6****FIG. 7****FIG. 8**

RAPPORT DE RECHERCHE
PRELIMINAIREétabli sur la base des dernières revendications
déposées avant le commencement de la recherche

2754406

N° d'enregistrement
national

FA 536809

FR 9612073

DOCUMENTS CONSIDERES COMME PERTINENTS		Revendications concernées de la demande examinée
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	
A	US 4 814 686 A (WATANABE YOHJI) 21 Mars 1989 * colonne 2, ligne 58 - colonne 4, ligne 30; figure 1 * -----	1
		DOMAINES TECHNIQUES RECHERCHES (art. CL-6)
		H01L
Date d'achèvement de la recherche 27 Juin 1997		Examinateur Fransen, L
<p>CATÉGORIE DES DOCUMENTS CITÉS</p> <p>X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : pertinent à l'encontre d'au moins une revendication ou schéma-plan technologique général O : divulgation non-écrite F : document interchangeable</p> <p>T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons</p> <p>Δ : membre de la même famille, document correspondant</p>		